

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2004 EPO. All rts. reserv.

8676278

Basic Patent (No,Kind,Date): JP 1068726 A2 19890314 <No. of Patents: 010>

THIN FILM TRANSISTOR AND ITS MANUFACTURE (English)

Patent Assignee: CASIO COMPUTER CO LTD

Author (Inventor): WAKAI HARUO; YAMAMURA NOBUYUKI

IPC: \*G02F-001/133; H01L-027/12; H01L-029/78

Derwent WPI Acc No: G 89-120604

JAPIO Reference No: 130279P000151

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
<b>JP 1068726</b>	A2	19890314	JP 87225819	A	19870909	(BASIC)
JP 1082674	A2	19890328	JP 87241607	A	19870925	
JP 1090560	A2	19890407	JP 87248878	A	19871001	
JP 2598420	B2	19970409	JP 87225819	A	19870909	
US 5003356	A	19910326	US 503268	A	19900402	
US 5032883	A	19910716	US 241304	A	19880907	
US 5055899	A	19911008	US 503270	A	19900402	
US 5166085	A	19921124	US 503269	A	19900402	
US 5229644	A	19930720	US 831002	A	19920205	
US 5327001	A	19940705	US 41537	A	19930401	

Priority Data (No,Kind,Date):

JP 87225819 A 19870909

JP 87241607 A 19870925

JP 87248878 A 19871001

US 241304 B2 19880907

US 241304 A2 19880907

US 503883 B1 19900403

US 241304 A3 19880907

US 41537 A 19930401

US 503455 B1 19900402

US 734017 B1 19910722

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

02771126      \*\*Image available\*\*

**THIN FILM TRANSISTOR AND ITS MANUFACTURE**

**PUB. NO.:**      **01-068726** [JP 1068726 A]

**PUBLISHED:**      March 14, 1989 (19890314)

**INVENTOR(s):**   **WAKAI HARUO**

**YAMAMURA NOBUYUKI**

**APPLICANT(s):** **CASIO COMPUT CO LTD [350750]** (A Japanese Company or Corporation), JP (Japan)

**APPL. NO.:**      62-225819 [JP 87225819]

**FILED:**          September 09, 1987 (19870909)

**INTL CLASS:**     [4] G02F-001/133; H01L-027/12; H01L-029/78

**JAPIO CLASS:**   29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2 (ELECTRONICS -- Solid State Components)

**JAPIO KEYWORD:** R004 (PLASMA); R011 (LIQUID CRYSTALS); R096 (ELECTRONIC MATERIALS -- Glass Conductors); R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS); R119 (CHEMISTRY -- Heat Resistant Resins)

**JOURNAL:**        Section: P, Section No. 891, Vol. 13, No. 279, Pg. 151, June 27, 1989 (19890627)

**ABSTRACT**

**PURPOSE:** To eliminate a short circuit between a transparent picture electrode and a drain electrode and to widen effective display area by providing the transparent picture element electrode on a transparent insulating layer covering a transparent insulating substrate where a transistor (TR) area is formed.

**CONSTITUTION:** The TR area consisting of a gate electrode, an insulating layer 11, a semiconductor layer 16, a contact layer 15, a drain electrode 12, and a source electrode 13, and a signal line 3 and a scanning line 4 are covered with the transparent insulating layer 18 having a flat surface.

Then a transparent picture element electrode 5 of about 1,000 angstroms in thickness is formed on the transparent insulating layer 18 and connected to a source electrode 13 through a contact hole 19. Therefore, the drain electrode 12 and transparent picture element electrode 5 are formed on mutually different planes across the transparent insulating layer 18. Consequently, the distance between the signal line 3 and transparent picture element electrode 5 is increased and the short circuit between them is reduced greatly.

⑮ 公開特許公報(A)

昭64-68726

⑯ Int.Cl.<sup>4</sup>

G 02 F 1/133  
H 01 L 27/12  
29/78

識別記号

3 2 7  
3 1 1

庁内整理番号

7370-2H  
A-7514-5F  
A-7925-5F

⑰ 公開 昭和64年(1989)3月14日

審査請求 未請求 発明の数 2 (全6頁)

⑱ 発明の名称 薄膜トランジスタ及びその製造方法

⑲ 特 願 昭62-225819

⑳ 出 願 昭62(1987)9月9日

㉑ 発 明 者 若 井 晴 夫 東京都八王子市石川町2951番地の5 カシオ計算機株式会社  
八王子研究所内

㉒ 発 明 者 山 村 信 幸 東京都八王子市石川町2951番地の5 カシオ計算機株式会社  
八王子研究所内

㉓ 出 願 人 カシオ計算機株式会社 東京都新宿区西新宿2丁目6番1号

明 細 書

1. 発明の名称

薄膜トランジスタ及びその製造方法

2. 特許請求の範囲

(1) 透明絶縁基板上に形成された、少なくともゲート電極、ゲート絶縁層、半導体層、ドレイン電極及びソース電極より成るトランジスタ領域と、

前記透明絶縁基板上に前記トランジスタ領域を覆って形成された透明絶縁層と、

該透明絶縁層上に形成され、該透明絶縁層の表面から前記ソース電極まで設けられたコンタクトホールを介して前記ソース電極に接続された透明画素電極とを備えたことを特徴とする薄膜トランジスタ。

(2) 透明絶縁基板上に、少なくともゲート電極、ゲート絶縁層、半導体層、ドレイン電極及びソース電極よりなるトランジスタ領域を形成する工程と、

前記透明絶縁基板上に前記トランジスタ領域を

覆って透明絶縁層を形成する工程と、

該透明絶縁層に、その表面から前記ソース電極まで通ずるコンタクトホールを形成する工程と、

前記透明絶縁層上に透明画素電極を形成し、該透明画素電極と前記ソース電極とを前記コンタクトホールを介して接続する工程とを備えたことを特徴とする薄膜トランジスタの製造方法。

3. 発明の詳細な説明

(発明の技術分野)

本発明は、アクティブマトリクスディスプレイ等にスイッチング素子として使用される薄膜トランジスタ (Thin Film Transistor, 以下 TFT と称す) 及びその製造方法に関する。

(従来の技術)

第3図はTV等の画像表示装置として利用されているアクティブマトリクスディスプレイ1の概念図である。アクティブマトリクスディスプレイ1は、その一方の側にマトリクスパネル1aを備えている。このマトリクスパネル1aは、ガラスの如き透明な絶縁基板2上にマトリクス状に配列

された各画素毎に設けられた透明画素電極5と、これら透明画素電極5間を交差するように走っている信号線（ドレイン線）3及び走査線（ゲート線）4と、各透明画素電極5毎に配設形成されたTFT6とからなっている。また、マトリクスパネル1aと対向する側には、一面に透明電極8の形成されたガラス基板9を備え、マトリクスパネル1aと透明電極8との間に液晶7を封入することによってアクティブマトリクスディスプレイが構成されている。

第4図は、第3図に示したマトリクスパネル1a内の任意のTFT6及びその近傍における電極及び配線の配置状態を示した平面図である。第4図に示すように、TFT6の形成領域において、走査線4の信号線3との交差部分をわずかに突出させ、この突出部をTFT6のゲート電極14とすると共に、このゲート電極14上に半導体層16を介して位置する信号線3の一部をTFT6のドレイン電極12とし、またゲート電極14上の半導体層16上から透明画素電極5上にかけて

電極を形成し、これをTFT6のソース電極13としている。

第5図は、第4図に示したTFT6及びその近傍のA-A拡大断面図である。第5図に示すように、絶縁基板2上にゲート電極14が形成され、このゲート電極14上及び絶縁基板2上を覆って酸化シリコン若しくは窒化シリコン等の絶縁層（ゲート絶縁膜）11が形成される。ゲート電極14の上方及びその近辺には、絶縁層11を介してアモルファスシリコン（a-Si）等からなる半導体層16が形成される。更に絶縁層11上には、半導体層16と近接した位置に、ITO（Indium (In) - Tin (Sn) - Oxide）等からなる透明画素電極5が形成される。半導体層16上であって、ゲート電極14の両端部の上方には、ハイドロプのコンタクト層15を介してドレイン電極12とソース電極13が形成される。この際、ソース電極13の一部が透明画素電極5に接続される。このように構成されたTFT6は、ゲート電極14とドレイン及びソース電極12、13とが半導体

層16に関して互いに異なる平面上にあるもので、逆スタガ型と称されている。

〔従来技術の問題点〕

第3図～第5図で示したTFT6では、上述したように、透明画素電極5とソース電極13及びドレイン電極12とが同一平面上に配設されている。そのため、特に第4図に示した電極等の配置状態から明らかな様に、ドレイン電極12から延びた信号線3と透明画素電極5との間で短絡を生じ易いという問題がある。

そこで、このような短絡を防止するために、透明画素電極5と信号線3間には、これらを形成する場合の加工精度及びアライメント精度から決定される一定の間隔Lを設けるようにしている。この間隔Lは、通常、例えば20 $\mu$ m以上という大きな値である。ところが、このような広い間隔Lを設ければ、上記の短絡は防止されるが、その反面、透明画素電極5の面積が小さくなり、すなわち、有効表示面積が小さくなってしまいう問題が生じる。例えば、マトリクスパネル1a上の1

つの画素に割当てられた面積に対する透明画素電極5の面積の割合である開口率は、上記間隔Lを最小限の20 $\mu$ mとした場合であっても、50%程度と非常に小さくなってしまふ。

〔発明の目的〕

本発明は、上記従来の問題点に鑑み、透明画素電極とドレイン電極（信号線）間の短絡を無くし、これと同時に、有効表示面積を極めて広くとることのできる薄膜トランジスタ（TFT）及びその製造方法を提供することを目的とする。

〔発明の要点〕

本発明は、上述の目的を達成するために、トランジスタ領域の形成された透明絶縁基板上を透明絶縁層で覆い、この透明絶縁層上に透明画素電極を設けたことを要点とする。

〔実施例〕

以下、本発明の実施例について、図面を参照しながら説明する。

第1図(1)は本発明の一実施例のTFTの要部構成を示す断面図であり、第2図はこのTFTをア

クティブマトリクスディスプレイ（第3図参照）に採用した場合の同TFT及びその近傍における電極及び配線の配置状態を示す平面図である。すなわち、第2図のB-B拡大断面図が第1図のに相当する。

まず、透明な絶縁基板2上には、第1図のに示すように厚さ1000Å程度のゲート電極14が形成され、更に第2図に示すように上記ゲート電極14に接続された走査線（ゲート線）4が長く延びて配設されている。これらゲート電極14及び走査線4は、第1図のに示すように、厚さ3000Å程度の絶縁層（ゲート絶縁膜）11で覆われている。ゲート電極14の上方及びその近辺には、絶縁層11を介して、アモルファスシリコン等からなる厚さ1000Å程度の半導体層16が形成されている。この半導体層16上であってゲート電極14の両端部の上方には、高濃度のアモルファスシリコン等からなる厚さ500Å程度のコンタクト層15を介して、それぞれ厚さ1000Å程度のドレイン電極12とソース電極13が形成されている。

第5図に示したように各電極を同一平面上に形成した従来のTFTの構造と比較して、信号線3と上記透明画素電極5間の距離（上下方向の距離）を大きくとることができ、よってその間の短絡を大幅に減少させることができる。

また、上述したように透明画素電極5が透明絶縁層18を介して他の電極及び配線とは別平面上にあって短絡を防止できることから、第2図に明らかなように、信号線（ドレイン線）3及び走査線（ゲート線）4に囲まれた全ての領域に透明画素電極5を配設することができ、すなわち第4図に示した開閉しをゼロとすることもできる。そればかりでなく、平面的に視て、透明画素電極5を信号線3及び走査線4上に重ねるように配設することもできる。このようにすることにより、不透明領域（TFT領域及び配線領域）を除く全ての領域を有効表示エリアとすることができるので、有効表示面積はとりうる最大の値となる。本実施例によれば、開口率70%以上（従来は50%以下）を実現できる。

また絶縁層11上には、第2図に示すように、走査線4と交差して信号線（ドレイン線）3が長く延びて配設され、その半導体層16上の領域が上記ドレイン電極12となっている。

更に本実施例では、上述したようなゲート電極14、絶縁層11、半導体層16、コンタクト層15、ドレイン電極12及びソース電極13から構成されるトランジスタ領域と、信号線3及び走査線4とが、第1図のに示すように、表面の平坦な透明絶縁層18によって覆われている。透明絶縁層18の上面からドレイン電極12及びソース電極13までの厚さは、例えば3000Å程度である。このような透明絶縁層18上に厚さ1000Å程度の透明画素電極5が形成され、これはコンタクトホール19を介してソース電極13に接続してある。

以上のように構成された本実施例のTFTでは、第1図のに明らかなように、ドレイン電極12（及びこれに接続されて延びている信号線3）と透明画素電極5とが透明絶縁層18を介して互いに異なる平面上に形成されている。このことから、

次に、第1図の(a)～(d)を参照して、本発明の一実施例のTFTの製造方法を説明する。

まず、第1図の(a)に示すように、表面の洗浄された透明な絶縁基板2上に、スパッタリング或いは蒸着等で例えば1000Å厚程度の金属膜を被着し、この金属膜をフォトリソグラフィ法等でパターニングすることによって、ゲート電極14及び走査線（ゲート線、第2図及び第3図参照）4を形成する。絶縁基板2としてはガラス、石英、サファイア等を用いることができ、またゲート電極14及び走査線4としてはクロム、チタン、タングステン、タングタル、銅等の金属を用いることができる。

その後、第1図の(b)に示すように、ゲート電極14及び走査線（ゲート線）4を覆って、絶縁基板2の一面に絶縁層（ゲート絶縁膜）11を、プラズマCVD法等により例えば3000Å厚に形成する。絶縁層11としては窒化シリコン（SiN）又は酸化シリコン（SiO<sub>2</sub>）等を使用できる。続いて、第1図の(c)に示すように、絶縁層11上に

アモルファスシリコン ( $a\text{-i-Si}$ ) 等からなる半導体層16と高濃度のアモルファスシリコン

( $a\text{-a}^+\text{-Si}$ ) 等からなるコンタクト層15をプラズマCVD法等によりそれぞれ例えば1000Å、500Å厚に積層形成し、ゲート電極14の上方及びその近辺だけを覆うようにフォトリソグラフィ法等を用いてパターンニングする。半導体層16及びコンタクト層15としては、上述したアモルファスシリコン以外にも、アモルファスの炭化シリコン (SiC)、テルル、セレン、ゲルマニウム、硫化カドミウム (CdS)、カドミウムセレン (CdSe) 等を用いることができる。

次に、コンタクト層15及び絶縁層11を覆うように蒸着もしくはスパッタリング等で例えば1000Å厚程度の金属膜を形成し、この金属膜及びコンタクト層15をフォトリソグラフィ法等でパターンニングすることにより、第1図(ハ)に示すようにゲート電極14の両端部の上方にドレイン電極12及びソース電極13を形成する。この際、ドレイン電極12から延びた信号線(ドレイン線、

第2図及び第3図参照) 3をも同時に形成する。ドレイン電極12、ソース電極13及び信号線3としては、クロム、チタン、タングステン、タンタル、銅等の金属を用いることができる。

以上の工程により、絶縁基板2上にトランジスタ領域17が形成される。次に、上記トランジスタ領域17、走査線(ゲート線)4及び信号線(ドレイン線)3の形成された絶縁層11上を覆って、第1図(ハ)に示す様に、表面の平坦化された透明絶縁層18をスピンコート法等により形成する。透明絶縁層18としてはポリイミド、アクリル、あるいはシラノール系化合物の塗布・焼成によって形成された絶縁膜(SOG膜)等の透明な絶縁膜を使用でき、その上面からソース及びドレイン電極13、12までの厚さが例えば3000Å程度となるようにする。続いて、通常のエッチングもしくはプラズマエッチング等を利用して、透明絶縁層18の上面からソース電極12にかけてコンタクトホール19を形成する。

そして最後に、第1図(ハ)に示す様に、透明絶縁

層18上及びコンタクトホール19内に透明電極材料を例えば1000Å厚にスパッタリングし、これをパターンニングすることにより、各画素領域毎に透明画素電極5を形成する(第2図参照)。この際、透明絶縁層18上の透明画素電極5とソース電極13とがコンタクトホール19を介して接続される。透明電極材料としては、酸化錫( $\text{SnO}_2$ )、酸化インジウム( $\text{InO}_2$ )、ITO等を使用できる。

上述した本実施例の製造方法では、一般に不良の発生しやすい透明画素電極5の形成工程が最終工程となるので、たとえこの工程で不良が発生した場合であっても、直前の工程からのやり直しが可能である。よって、ほとんど無欠陥でTFTマトリクスアレイを作成でき、ほぼ100%完成品のアクティブマトリクスディスプレイとすることも可能である。

また、TFT特性を測定する場合は、透明画素電極5を形成した時点で行うことができるという利点もある。

更に、透明絶縁層18の形成工程後はスパッタリングによる透明画素電極5の形成工程だけであることから、透明絶縁層18はスパッタリングの温度(高々150℃程度)に耐えうるものであればよく、よって上述したポリイミドやアクリル等のような耐熱性の低い材料も使用できる。

#### (発明の効果)

以上説明したように、本発明によれば、ドレイン電極と透明画素電極とを透明絶縁層を介して互いに別平面に形成したことにより、透明画素電極とドレイン電極(信号線)との短絡をなくすることができ、しかも透明画素電極の面積を広げて有効表示面積を著しく大きくとることができる。更に、透明画素電極の形成工程が最終工程であるために、この工程で多く発生しやすい不良を発見して単独で再形成が可能となり、既にマトリクスアレイとして形成済の他のTFTを無駄にすることもなくなる。

#### 4. 図面の簡単な説明

第1図(ハ)～(ハ)は本発明の一実施例の薄膜トラン

ジスタ (TFT) とその製造方法を示す製造工程図、

第2図は第1図(a)に示したTFT及びその近傍における電極及び配線の配置状態を示す平面図、

第3図は従来のアクティブマトリクスディスプレイの概念図、

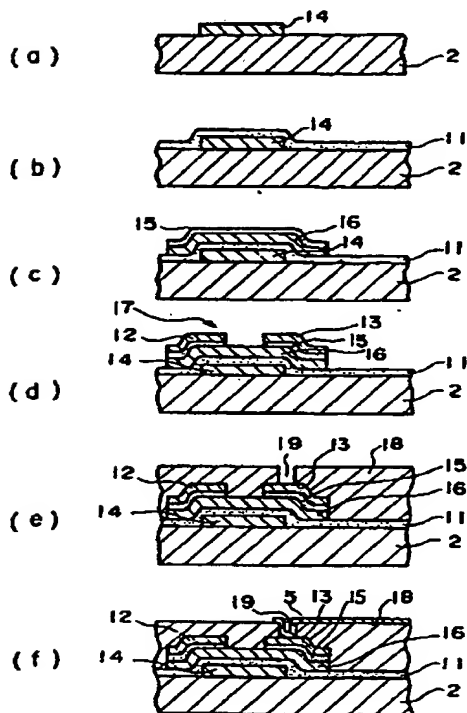
第4図は第3図のマトリクスパネル1a内の任意のTFT及びその近傍における電極及び配線の配置状態を示す平面図、

第5図は第4図に示したTFT及びその近傍のA-A線大断面図である。

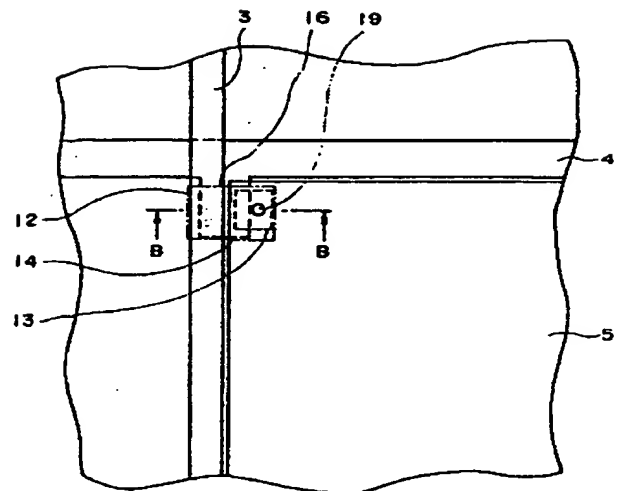
- 2・・・絶縁基板、
- 3・・・信号線（フレイン線）、
- 4・・・走査線（ゲート線）、
- 5・・・透明画素電極、
- 11・・・絶縁層（ゲート絶縁膜）、
- 12・・・フレイン電極、
- 13・・・ソース電極、
- 14・・・ゲート電極、
- 15・・・コンタクト層、

- 16・・・半導体層、
- 17・・・トランジスタ領域、
- 18・・・透明絶縁層、
- 19・・・コンタクトホール。

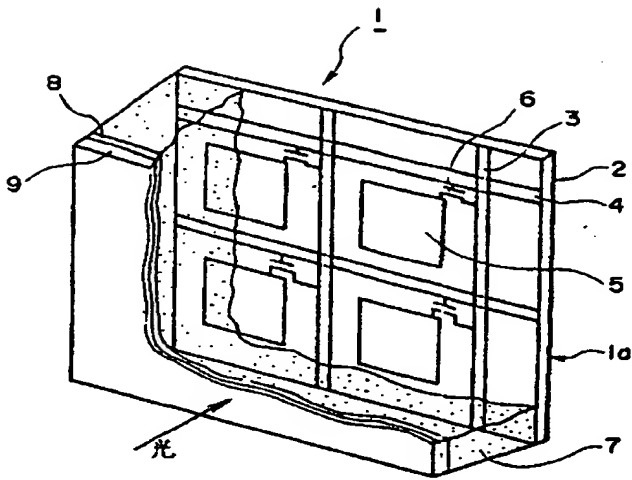
特許出願人 カシオ計算機株式会社



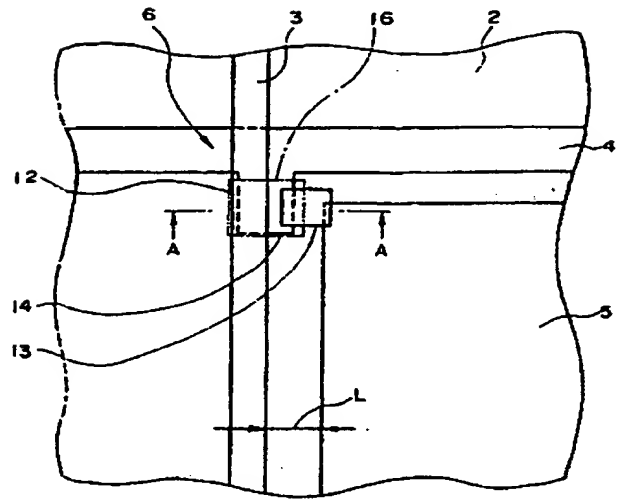
第 1 図



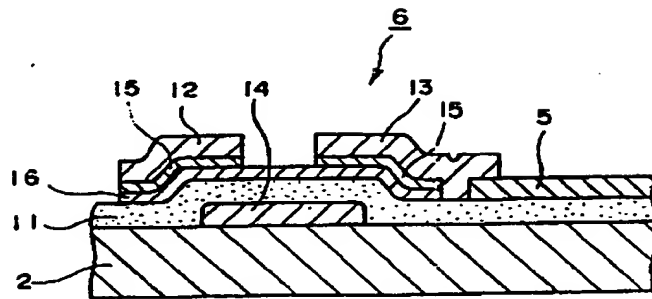
第 2 図



第 3 図



第 4 図



第 5 図